



## Seal (海豹) 5000 系列 FPGA

---

# Overview 手册

西安智多晶微电子有限公司 XIAN Intelligent Silicon Technology  
西安市高新区科技二路 72 号西安软件园西岳阁 102 室 邮编 710075  
<http://www.isilicontech.com>



## 文档修订历史

日期	版本	修订内容
2020.11	1.0	首次发布。

## 1 器件概述

西安智多晶微电子有限公司的 Seal (海豹) 5000 系列 FPGA 器件 (下称“本系列 FPGA”), 建立在一个优化的低功耗, 高性能 28nm 工艺基础之上。通过最低的成本, 融合新架构, 多个崭新与优化功能的嵌入式模块来实现高速 FPGA, 使系统设计师在降低成本的同时又能够满足不断增长的高性能应用要求。对无线和有线通信、工业控制, 图像处理, 人工智慧, 数据处理中心及云信息等行业中的低功耗, 高性能的大小型应用, 本系列 FPGA 无疑是最理想的选择。



## 1.1 特性

### 超大的逻辑资源:

- 30K 至 325K 逻辑单元的器件
- 多达 500 个用户 I/O

### 高性能可编程逻辑单元

- 采用 6 输入查找表 (6-LUTs)
- 双 5-LUTs 选项
- 最多 128 位分布式存储器
- 最多 64 位分布式移位寄存器

### 低功耗器件

- 先进 28nm 铜 CMOS 工艺
- 核电压 1.0V (可选 0.9V)
- 待机模式和其他省电选项

### 嵌入式和分布式存储

- Fmax = 500 MHz
- 嵌入块存储容量为 18K/36Kbits, 总容量高达 18.9 Mbits
- 高达 6,520 Kbit 的分布式存储

### 高性能, 灵活的 I/O 单元

- LVDS 接口高达 1.6 Gbps
- 可编程 IO 缓冲区支持多种接口:
- LVC MOS3.3 / 2.5 / 1.8 / 1.5 / 1.2
- LV TTL
- PCI
- BLVDS, MLVDS, RS DS, LVPECL
- SSTL/DIFF-SSTL 25/18/15/12
- HSTL/DIFF-HSTL 18/15/12
- HSUL
- MIPI
- 施密特触发器输入, 最高 0.5V 迟滞
- I/O 支持热插拔
- 片内可调差分阻抗(OCT)与终端电阻(ODT)
- 可编程上拉或下拉模式

### 源同步 I/O 接口

- 支持 7:1 Video 接口, 可高达 1.2 Gbps
- 通用 DDRX1/X2/X4/X8 最高 1.2 Gbps
- 单端/差分 DQS 支持的 DDR1/2/3 LPDDR1/2/3 内存

### 增强的乘法器块

- Fmax = 500 MHz
- 内置多个 9x9/18x18/2 具备预加法的串

行乘法器, 算数逻辑单元(ALU), 两层叠加实现 DSP 处理密集型应用

### 灵活的片内时钟

- 24 个全局时钟与 2 个边沿时钟与 2 个和延时锁相环(DLL)於 I/O 模块(Bank), 用于高速 I/O 接口
- 高达 13 个内置通用 PLL, 提供倍频、分频、相位转移、展频等系统时钟
- 精度为 12%的片上振荡器

### 配置模式

- JTAG, 从模式(PS), 主模式(AS)
- 配置过程支持 SED/SEC 单/多比特流检测及单比特纠正
- 配置过程支持多个比特流加载, 可在第一个程序文件加载失败后, 自动跳到 Golden 区域加载第二个程序文件

### 安全

- 支持 AES 比特流加密及压缩, 256 比特加密密钥
- 片上 SPI, I2C, 定时器/计数器功能
- 兼容 IEEE1149.1:如边界扫描(BSCAN)
- 符合 IEEE 1532 的系统内编程

### 集成的端点模块支持 PCI Express 设计

- 高达 6.6/13.1 Gbps 高速 SerDes I/O
- 符合 PCI Express Gen1.1 / Gen2,
- 每块 x1, x2 或 x4 通道支持

### 嵌入式硬核

- MCU、ADC、DDR2,3 控制器

### 广泛的封装选项

- 低成本焊线封装芯片, 无盖倒装芯片, 高完整性信号的倒装芯片等封装
- 先进的无铅封装

## 1.2 器件资源

**表 1-1 Seal (海豹) 5000 系列器件资源**

Device Name		SL5-30E	SL5-50E	SL5-75E	SL5-100E	SL5-325E
等效逻辑单元		30000	58300	75560	102298	326000
寄存器 (个)		37296	72875	94450	127872	407500
分布式存储器/移位寄存器(Kbit)		597/298.3	1166/583	1511/755	20461023	6520/3260
嵌入式DSP (18x18/25x18) <sup>注1</sup>		42/21	300/150	474/237	474/237	1312/656
嵌入式存储器单元数 (18/36Kbits单元)		63/32	160/80	280/140	280/140	1050/525
嵌入式存储器总容量 (Kbits)		1134	2880	5040	5040	18900
全局时钟网络		24	24	24	24	24
通用PLL/DLL		2/4	7/10	8/12	8/12	13/20
12位比特ADC		1	1	1	1	1
GTP I/O (6.6G)通道 <sup>注2</sup>		--	4	8	8	--
GTH I/O (13.1G)通道 <sup>注2</sup>		--	(4)	(8)	(8)	16
DDR2/3控制器硬核		1	2	3	3	4
MCU 硬核 (加外设)		1	-	-	-	-
IO模块(BANK)		4	5	6	6	10
最大用户IO		227	250	300	300	500
最大用户分差IO (对)		30	125	150	150	250
核心工作电压 (V)		1.0/0.9	1.0/0.9	1.0/0.9	1.0/0.9	1.0/0.9
芯片等级 <sup>注3</sup>		C/I	C/I	C/I	C/I	C/I
<b>封装规格</b>		<b>IO/LVDS/(GTP或GTH)</b>				
U213	213 uBGA (12 x 12mm <sup>2</sup> , 0.8mm)	166/30/(0)	-	-	-	-
F256	256 fBGA (17 x 17mm <sup>2</sup> , 1.0mm)	186/30/(0)	170//85/(0)	170//85/(0)	170//85/(0)	-
U256	256 uBGA (14 x 14mm <sup>2</sup> , 0.8mm)	206/30/(0)	170//85/(0)	170//85/(0)	170//85/(0)	-
U324	324 uBGA (15 x 15mm <sup>2</sup> , 0.8mm)	-	210/105/(4)	210/105/(4)	210/105/(4)	-
F484	484 fBGA (23 x 23mm <sup>2</sup> , 1.0mm)	-	250/125/(4)	286/143/(4)	286/143/(4)	-
FC484	484 fcBGA (23 x 23mm <sup>2</sup> , 1.0mm)	-	250/125/(4)	286/143/(4)	286/143/(4)	286/143/(4)
F676	676 fBGA (27 x 27mm <sup>2</sup> , 1.0 mm)	-	-	300/150/(8)	300/150/(8)	-
FC676	676 fcBGA (27 x 27mm <sup>2</sup> , 1.0mm)	-	-	300/150/(8)	300/150/(8)	400/200/(8)
FC900	FC900 (31 x 31mm <sup>2</sup> , 1.0mm)	-	-	-	-	500/250/(16)

**【注】**

1. 每片 DSP 包含 4 个 9x9 或 2 个 18x18 具备预加法的串行乘法器和 1 个 54 位累加器或单一的 25x18 串行乘法器
2. GTP 或 GTH 取决于 wirebond 或 flip-chip
3. 等级: C: 商业级, 结温温度 0°C—85°C; I: 工业级, 结温温度 -40°C—100°C



## 2 体系结构概述

本系列 FPGA 的核心构架由六输入查找表(LUTs)、逻辑单元存储器模块、加法器,乘法器构成和分布式存储器/移位寄存器。嵌入式存储器模块具有 18 或 36Kbit 的 SRAM 存储器。可以把嵌入式存储器模块配置成单端口、伪双端口、真双端口 RAM 以及 FIFO 缓冲器或者 ROM,嵌入式乘法器模块,可以在单一模块中实现位宽 25x18 乘法器。本系列 FPGA 器件的 I/O 功能是由许多低成本应用中的多样化 I/O 标准所驱动的,大幅度提高了 I/O 的性能要求,可以轻松、灵活地容纳您的主模块设计,并支持可编程总线保持、可编程上或下拉电阻、可编程延迟、可编程驱动能力以及可编程斜率控制,以及热插拔的优化,同时还支持片内可调差分阻抗 (OCT) 与终端电阻匹配 (ODT)。本系列 FPGA 的器件有多个 PLL 和 DLL, 以及全局和边沿时钟网络以提供可靠、有效且低偏斜, 高速度的时钟管理与综合。您可以在 HqFpga 软件中对 PLL 进行重配置时钟频率或者相位。支持 SDR、DDR1/2/3 等接口。接口可能位于器件的一个或多个 I/O 模块 (I/O bank), 以实现更灵活的电路板设计。本系列 FPGA 器件 DDR SDRAM 存储器接口解决方案, 由一个 PHY 接口和一个存储再加上硬核控制器组成。智多晶提供不同 PHY 接口 IP 如 Video7:1, 与顾客定制的控制或智多晶提供的控制器一起使用,得以提升与优化更全面的设计。本系列 FPGA 提供多个硬核 IPs 如 MCU, ADC, 高速 SerDes 等等, 配合不同的设计应用。外部主机通过 JTAG 访问端口, 被动串行 (PS) 端口或主动串行 (AS) 端口进行配置本系列 FPGA, 或利用额外的硬件来完成远程现场升级。

### 2.1 可编程逻辑块(PLB), 片(Slice) 和查找表(LUT)

本系列 FPGA 设备的逻辑核心包括 PLB, Slice and LUT。其中一些主要功能如下:

- 真 6 个基于输入查找表(LUTs)
- 在 LUTs 内的存储器
- 寄存器和移位寄存器

海豹 5000 系列的 LUTs 可配置成一个一输出 6 输入查找表 (64 位只读存储器 ROM), 两个不同输出而拥有共同地址线或逻辑输入的 5 输入查找表。每个 LUT 的输出可寄存在寄存器内。片(Slice)包括四个 6 输入查找表, 八个寄存器, 多路选择器和算术进位逻辑。4 片(Slices)成为 1 个可编程逻辑块(PLB)。8 个寄存器的其中 4 个可配置为锁存器。半数 Slices 的 LUTs 可作为分布式 64 位存储器, 16/32 位移位寄存器。我们的 HqFpga 软件综合工具有效灵活地应用这些高效逻辑, 运算和储存功能。

### 2.2 存储器模块

本系列 FPGA 设备的存储模块核心功能包括:

- 位宽可达 36 位单/双端口存储模块
- 可编程先进先出 FIFO 逻辑
- 奇偶校验及错误检测
- 移位寄存器
- 字节使能写入期间的数据输入屏蔽

本系列 FPGA 具备 32 到 525 个 36Kb 的单/双端口存储模块。每个存储模块拥有独立输入输出端口。可以使用多个存储器来创建更大, 更深的存储器。通常, 设计工具根据特定的设计



输入进行级联存储

## 2.2.1 同步时钟工作

存储器模块能够实现同步时钟模式，以用于 FIFO、ROM、真双端口、伪双端口以及单端口存储器。在这一模式中，您可以通过单时钟以及时钟使能，来控制嵌入式存储器模块中的所有寄存器。时钟使能控制信号，对输入与输出寄存器的进入时钟、以及整个嵌入式存储器模块进行控制。如使用可选择输入输出寄存器则会增加时钟周期延迟(latency)。

## 2.2.2 可编程位宽

每个端口可编程不同位宽如 32K×1, 16K×2, 8K×4, 4K×9 (或 8), 2K×18 (或 16), 1K×36 (或 32)。当使用伪双端口、真双端口、或者 FIFO 模式时，混合位宽支持实现了读写不同的数据位宽到嵌入式存储器模块。每个存储模块均可平分两个独立容量的存储单元。真双端口模式，支持两端口操作的任何组合：在两个不同时钟频率上的两个读操作、两个写操作，或者一个读操作和一个写操作。

## 2.2.3 可编程先进先出 FIFO 逻辑

嵌入式存储器模块支持单时钟或者双时钟 FIFO 缓冲器。当从一个时钟域到另一个时钟域传输数据时，会用到双时钟 FIFO 缓冲器。FIFO 有写端口和读端口，两者独立操作。和存储器模块一样，FIFO 的宽度和深都可编程，但读和写端口位宽需要一致。FIFO 逻辑产生 Almost Full Flag, Full Flag, Almost Empty Flag 和 Empty Flag。Full, Almost Full 要和写时钟同步；Almost Empty, Empty 要和读时钟同步。

## 2.2.4 移位寄存器

嵌入式存储器模块，能够通过使用的移位寄存器，实现数字信号 (DSP) 应用。其中如有限脉冲响应 (FIR) 滤波器、伪随机数生成器、多通道滤波，以及自相关和互相关函数。这些以及其它 DSP 应用都要求本地数据存储，通常通过标准触发器来实现，这些标准触发器迅速消耗大型移位寄存器的很多逻辑单元。更有效的方法是将嵌入式存储器用作移位寄存器模块，这样可以节省很多逻辑单元以及布线资源。

## 2.2.5 支持字节使能

存储器模块支持字节使能功能，该功能可以屏蔽输入数据，仅写入数据中的指定字节，未被写入的字节保留之前写入的值。该功能更可编程不同字节宽度。

## 2.2.6 奇偶校验及错误检测

通过奇偶校验位以及内部逻辑资源，可以使用奇偶校验实现错误检测。嵌入式存储器模块支持每一个存储字节含有一个奇偶校验位，您可以将该位用作奇偶校验位或者额外的数据位。实际上，嵌入式存储器模块不执行奇偶校验功能，奇偶校验在 FPGA 的逻辑单元执行。



## 2.3 数字信号处理(Digital Signal Processing DSP)

本系列 FPGA 设备的数字模块核心功能包括：

- 18x18 二补数乘法器/54 位累加器处理高分辨率信号处理
- 利用预加法优化对称的录波应用
- 可选择的流水线作业，算术逻辑单元和专用总线串连同一行的 DSP

DSP 应用使用多个二进位乘法器与累加器。本系列 FPGA 的高速度，低功耗和小面积 DSP 充分符合不同 DSP 应用与弹性设计。每 DSP 片基本包括 2 个 18x18 二补数乘法器与 54 位累加器，并工作频率可达到 500MHz。2 组 27 位输入可绕过乘法器，而直接连接 2 个 27 位 ALU 执行某个单指令多数据流 (single instruction multiple data) 算术或逻辑功能。

在密集设计和对称滤波中，本系列 FPGA DSP 包含预加法器提升设计性能与减小 DSP 片的用量。另外包含 54 位宽二进制模式检测器可用于收敛 (convergent) 或对称舍入 (symmetric rounding)。

流水线作业及扩展能力提升多种不同於信号处理的应用，如宽动态移位总线 (wide dynamic bus shifters)。54 位累加器更可实现同步加减计数器。

## 2.4 可编程 I / O

本系列 FPGA I/O 的一些主要功能重点

- 支持 1,866Mbps DDR3 高性能可编程 IO
- 片内可调差分阻抗 (OCT) 与终端电阻匹配 (ODT)
- 分为高量程 (High Range HR) 和高性能 (High Performance HP) 可编程 I/Os

本系列的 I/O 功能在类似于 Sealion 2000 系列上增加更多样化 I/O，并且性能得到了显著提高。本系列 FPGA 的目标是创建一种轻松，灵活地满足客户程序设计需求的系列。不同器件或封装有不同 IO 数量，除专用 I/Os 外，在同一 I/O 块 (I/O Bank) 的每一 I/O 都有一致功能。

本系列的 I/O 分为高量程 (High Range HR) 和高性能 (High Performance HP) I/O。HR I/O 的工作电压范围为 1.2V – 3.3V，而 HP I/O 电压范围为 1.2V-1.8V。同一 I/O 块，HR 与 HP I/Os 不能并存，并拥有同一电源电压 (Vcco)。此电源电压也供应输入缓冲器 (Input buffer)。准差分输入端使用外部或内部提供参考电压 (Vref)。本系列 FPGA 除了提供内部产生 Vref 外，每个 I/O 端口或任意一个端口都可连接外部 Vref，但每一 I/O 块只能有一个 Vref 电位。

本系列 FPGA 有多种不同类型封装。包括低成本小尺寸规格焊线封装 (wire-bonded package)，无盖倒装 (lidless flip chip package) 达到平衡本小尺寸规格与性能，高完整性信号的倒装达到高质量信号。封装基板设计可加入等效串联电阻 (Equivalent Series Resistance ESR) 的去藕电容 (decoupling capacitors)。

本系列器件具有热插拔功能，以确保在加电和断电期间的可预测行为。在上电和断电序列期间，I / O 保持三态，直到电源电压足够高以确保可靠的操作为止。另外，输入/输出引脚的

泄漏被控制在规定的范围内。

单端输出缓冲器是传统的推挽输出，每个独立三态使能可把输出缓冲器处于三态。每个 I/O 管脚的输出缓冲器，能够提供可选的可编程输出斜率 (Slew Rate) 控制，驱动能力，弱上拉，弱下拉，总线保持。输入始终处于活动状态，但通常在输出状态被忽略。

部分 I/O 对可被编程为差分对。输入差分对可以选择片内可调差分阻抗 (OCT)。本系列支持所有差分标准真 LVDS, RSVD, BLVDS, 差分 SSTL 和差分 HSTL。每个 I/O 支持存储记忆的 I/O 标准, 如 SSTL, HSTL, 差分 SSTL 和差分 HSTL 等。附加终端电阻匹配 (ODT)使本系列支持双倍数据速率达 1,866Mbps DDR3 接口应用。

## 2.5 I/O 逻辑

本系列 FPGA I/O 逻辑拥有特性:

- 输入输出延迟
- 串并/并串转换
- FIFO

所有输入端和输出端都可编程为组合或寄存，同时都支持双倍数据速率 (Doble Data Rate DDR)。输入输出延迟均可编程调整其延迟时间。每一延迟时间单位为 30ps，最大单位个数为 32。许多应用程序将高速串行 I/O 与设备内部较慢的并行操作相结合，反之亦然。本系列 10 位串并/并串转换组合发挥其有效应用，如在 DDR1/2/3 和 Video 7:1。根据设计应用串并/并串转换组合可被编程位 2, 4, 6, 8 和 10 位。在高速双倍数据速率的应用，其采样窗口宽度更小，本系列内置 FIFO 不但增加采样成功率及采样准确度。

## 2.6 时钟/控制分配网络

本系列 FPGA 时钟/控制分配网络主要功能重点:

- 高速，低偏斜和注入时间的时钟网络
- 频率综合，输出分频，相位移，占空比修正与展频
- 低抖动与抖动过滤时钟产生器
- 数位控制时钟端口延迟

本系列 FPGA 拥有 24 全局时钟 (Global Clock), 每个 IO 块拥有 1 对边缘时钟 (Edge Clock), 高达 13 个锁相环 (PLL) 及 20 个延迟线循环 (DLL)。每个全局时钟 (Global Clock) 输入端口都附有位控制延迟器，此可减小不同端口的时钟源偏斜。为了减小功耗，所有全局时钟的都可受时钟使能 (Clock Enable) 或编程控制。边缘时钟 (Edge Clock) 是特别高速，低偏斜的时钟。它们与 I/O 逻辑电路和 I/O 逻辑中串并/并串转换组合电路互连。

若时钟源来自锁相环(PLL)，通过 PLL 的滤波减小时钟抖动。锁相环也可综合广大的时钟频率。PLL 内有三种分频器：输入，输出和反馈。输入分频减小输入频率后送到 PLL 比较器。每个输出都有自己的可编程输出分频器，其值可以从 1 到 128，因此允许 PLL 为每个输出生成不同的频率。反馈分频基本为一乘法器，PLL 电压控制振荡器 (VCO) 的输出通过反馈分频器减小其频率与另一输入频率比较。输入与反馈的分频值组合要符合 VCO 的工作范围。VCO 有 8 个均等分频输出 (0°, 45°, 90°, 135°, 180°, 225°, 270° and 315°)，每一频移输出值



再可以最小 6° 微调。PLL 的展频减小电磁波 (Electric Magnetic Wave EM) 的影响。PLL 第四个输出口或全部输出口都可支持展频功能。大多应用，特别是 DDR 应用的时钟需要占空比为 50/50，PLL 具有占空比修正功能使时钟占空比更平均。

本系列 FPGA 中的 DLL 相对 PLL 的抖动，面积和功耗小，而同时满足相位补偿，占空比和低抖动，是高速应用不可缺小模块。

## 2.7 低功耗千兆位收发模块 (Gigabit Transceivers)

本系列 FPGA 千兆位收发模块的重点：

- 在不同封装线速可高达 6.6Gbps(GTP) 或 13.1Gbps(GTH) 的高性能收发器 (transceivers)
- 低功耗模式
- 高效传输预加重 (pre-emphasis)，去加重 (post-emphasis)，接收线性均衡器 (Linear Equalizer) 和应用用于长距离或背板的判决反馈均衡器 (Decision feedback equalization)。自适应接收端均衡和片上眼图扫描使串行链路调整容易。

高达 16 个千兆位收发模块在本系列 FPGA。GTH 高性能收发器 (transceivers) 效能只能在倒装封装发生，而 GTP 效能则可出现在焊线封装或更优良封装。串行收发器包括发送与接收两部分，它们的电路时完全独立。每个串行收发器利用环形振荡器 (ring oscillator) 和谐振电路 (LC tank)，实现完美融合灵活性与性能。串行收发器使用其内部先进 PLL 结构，将输入参考频率乘以某些可编程的数字高达 100 成为串行数据时钟。用户可定义收发器的特性与参数，这些都可设备配置期间定义，亦可在操作过程中修正。

### 2.7.1 发送器 (Transmitter)

发送器基本是采用差分输出的并串转换器，转换比可以为 16, 20, 32, 40, 64 或 80。这允许客户高性能设计中权衡数据位宽以获得时序裕。其可编程差分输出器，预加重和去加重电路可调节信号摆幅，以补偿印刷电路板的信号损耗和其他互连特性。为较短通道减小信号摆幅，减小功耗。发送时钟从其 PLL 适当地产生的串行时钟，直接注册来自内部逻辑数据。输入并行数据通过可选的 FIFO 和 8b/10b, 64b/66b 或 64b/67b 编码方案，以提供足够数量的转换。

### 2.7.2 接收器 (Receiver)

接收器基本是采用差分输入的串并转换器，转换比与发送器转换比一致。其可编程差分输入器，收线性均和反馈电路增强信号摆幅，以补偿印刷电路板的信号损耗和其他互连特性。输入数据以非归零编码并可选编码方案，以提供足够数量的转换。并行输出数据通过接收时钟传输到 FPGA 逻辑。收发器提供低功耗模式来减小功耗消耗。

## 2.8 集成 PCI Express (PCIe)

本系列 FPGA 集成 PCIe 包括：

- 提供符合 PCI Express (PCIe) 2.1 基本规范
- 支持 Gen1 (2.5Gbps), Gen2 (5Gbps)
- 高级配置选项，高级错误报告 (AER)，端到端循环冗余校验 (E2ECRC) 功能

本系列 FPGA 的 PCIe 可为根据系统设计要求进行配置，并能以 2.5Gbps, 5Gbps 的数据速率



运行 1, 2, 4 或 8 个通道。对于高性能应用，最大有效负荷大小最高位 1024 字节。通过高速收发器与内部逻辑模块，连接内部存储器达成数据缓冲。综合这些元素实现物理层，数据链路层和 PCIe 协议的事务层。HqFpga 软件提供连接各种构建块资源的 IP 包装器来实现一个端点或根端口解决方案。系统设计者可以控制许多可配置参数，最大有效负荷大小，FPGA 逻辑接口速度，参考时钟频率，基址寄存器解码和滤波。

## 2.9 器件编程

本系列 FPGA 的先进编辑功能：

- JTAG 接口，被动串行接口 (Passive Serial)，主动串行接口 (Active Serial)和自刷新配置 (Self Refresh Configuration SRC)
- 双重启动 (dual boot)和 eib boot
- 安全性设置
- 错误检测与修复(Soft Error Detection and Correction SED 与 SEC)
- 局部重配置 (Partial Reconfiguration)

本系列 FPGA 将其定制配置存储在 SRAM 型内部锁存中。其容量大小视乎器件大小与用户设计实现选项。因配置存储为易失性，所以 FPGA 必须每次上电时从新加载。也可把 DONE 端口下拉触发从新加载。编程有多种模式和数据格式，是由 3 个模式端口决定。

### 2.9.1 JTAG

JTAG 编程接口在任何情况下均可使用，且优先级最高，如果在其他模式配置过程中使用，则会中断其配置过程。JTAG 接口支持边界扫描指令以及 FPGA 配置指令。在 JTAG 接口工作时，NCFG 复位信号无法使用。用户可以通过 JTAG 接口读写 SPI FLASH 数据。用户可通过本公司智多晶下载器通过此方式直接更新 SPI FLASH 存放数据。

### 2.9.2 被动串行接口 (Passive Serial)

PS (Passive Serial) 模式数据线串行被动配置模式。它是一种支持从机同步串行接口 (Slave SPI)。用户可通过 PS 接口直接 FPGA 与 Flash，读取 Flash 内部存储位流数据进行自我配置。总线宽度可以是 x1, x4 或 x8。越大总线宽度，越小配置所需时间及减小上电后 FPGA 启动所需时间。

### 2.9.3 主动串行接口 (Active Serial)

使用 AS (Active Serial) 接口时，FPGA 将作为主机向外部配置数据流存储设备发送回读数据请求，使用回读的数据完成配置过程。它也是一种支持主机同步串行接口 (Master SPI)。在 AS 接口，FPGA 从内部产生主时钟为驱动 Flash。用户可通过 AS 接口直接 FPGA 与 Flash，读取 Flash 内部存储位流数据进行自我配置。总线宽度可以是 x1, x4 或 x8。

### 2.9.4 自刷新配置 (Self Refresh Configuration SRC)

本系列支持 SRC (Self Refresh Configuration) 模式，从 FPGA 芯片内部 FLASH 加载配置数据流进行配置。相比于 AS 模式，SRC 模式不需要任何外部器件、接口支持，即可完成配置过程，且配置时间更短。配置数据流信息存放于 FPGA 芯片内部 FLASH 中，不容易被外界获取，具有较高安全性。



## 2.9.5 双重启动 (DUAL BOOT) 和 EIB BOOT

在 AS 模式下，配置过程中如果出现配置错误可以自动进行重配置，称为 DUAL BOOT。对于本系列器件，无需任何设置即可支持 DUAL BOOT。AS 模式首先从 SPI Flash 地址 0 处开始回读数据，如果配置出现错误，则跳转到黄金副本地址 (Golden Copy Address) 处回读数据进行配置。所有地址始点位置可被 FPGA 编程逻辑修改。EIB BOOT 与 DUAL BOOT 执行方式几乎一致，除了在配置设置地址方法外。在 EIB BOOT 过程中，利用布线逻辑 (EIB) 发送地址到 FPGA 编程逻辑存储。

## 2.9.6 安全性设置

本系列 FPGA 生成配置数据流时，可以设置禁止回读选项，保护已经写入 FPGA 的配置信息。同时支持使用加密配置数据流进行配置，使用 AES-256 算法对配置数据流进行加密，密钥由用户自行设置，存放于内部 eFuse 中。

## 2.9.7 错误检测与修复 (Soft Error Detection and Correction SED 与 SEC)

本系列 FPGA 通过调用 SED IP 可实现软错误检测。在用户功能工作时，配置模块可以回读配置数据，并进行 CRC 校验，判断配置信息是否正确，如果发现错误，则通过 SED 接口报出错误。用户可通过 SED 接口触发一次重配置，来修复此错误。

本系列 FPGA 通过调用 SEC IP 可实现软错误检测、修复。在用户功能工作时，配置模块可以回读配置数据，并进行 CRC 校验与 ECC 校验，判断配置信息是否发生错误，以及计算错误出现的位置。如果发现可修复的错误，则自动修复，如果发现不可修复的错误，则通过 SEC 接口报出错误。用户可通过 SEC 接口触发一次重配置，来修复此错误。

## 2.9.8 局部重配置 (Partial Reconfiguration)

局部重配置功能是一个非常强大与灵活，它允许用户改变 FPGA 部分模块而其它部分保持静态特性，如 PLL，高速千兆位收发器，RAM 模块等。用户可以有利的时隙进行更多 IP 安装。

## 2.10 嵌入式 IP 硬核

本系列 FPGA 拥有多个嵌入式 IP 硬核：

- 模数转换器 (Analog-to-Digital Converter ADC)
- 微控制单位 (Microcontroller Unit MCU)
- 一次性可编程存储器 (eFuse)
- DDR2/3 存储控制器

### 2.10.1 模数转换器 (Analog-to-Digital Converter ADC)

本系列 FPGA 集成一弹性 12-bit 1MSPS ADC 与 FPGA 的可编程逻辑功能相结合，ADC 可以处理范围广泛的数据采择和检测要求。ADC 采用追踪保持放大器，片上模拟多路复用器 (支

持最多 8 个模拟输入通道)。ADC 数据会存储在其内部寄存器，通过 JTAG 接口或 MCU 读取。

## 2.10.2 微控制单位 (Microcontroller Unit MCU)

本系列 FPGA 的微控制单位 (MCU) 为 32 位元兼容的 250MHz M3 核，外设 SPI/UART/I2C/Timer/先进的高性能总线 (Advanced High Performance Bus AHB)/先进的附属总线 (Advanced Peripheral Bus APB)，及可复用 32 个 I/O。MCU 配备 128KB 指令 RAM 和 64KB 数据 RAM。AHB 总线支持 AHB5/AHB Lite 协议。2 路 AHB 到 FPGA 和 2 路 FPGA 到 AHB。另外 MCU 支持直接存储器访问 (Direct Memory Access DMA)，通过主 AHB (AHBM) 与附属总线 (APBS)，可进行存储器到存储器模式 (memory-to-memory M2M)/ 从内存到外设模式 (memory-to-peripheral M2P)/ 从外设到内存模式 (peripheral-to-memory P2M)/ 外设到外设模式 (peripheral-to-peripheral P2P)。支持单一 (single) 字节传输和突发 (burst) 传输模式，倘若 burst 信号给 DMA，要求 burst 传输，期望一下子传输 32 个字节，这样数据一下子传输 32 个字节，写入到 Flash 的 FIFO 里面，这样就比 DMA 传输一次一个字节，即单一字节传输效率高。

## 2.10.3 一次性可编程存储器 (eFuse)

本系列 FPGA 可通过配置逻辑单元存取 eFuse。AES-256 加密密钥，ID 码及模块调整信息存储在非易失性存储器。

## 2.10.4 DDR2/3 存储控制器

本系列 FPGA DDR2/3 存储控制器速度可达到 1866Mbps。指令群共有 15 条指令，如自动发送 precharge/active 命令等。DDR2/3 存储控制器支持 8/16 位宽 DQ，对 DDR2 SDRAM 自动进行初始化操作，以轮训方式依次读取两组 FIFO，访问地址跨越页 (page) 边界，DQSU/DQSL 两组读数据的自动对齐 (DQSU/DQSL 之间最大延迟为 1.75 个周期)，最多 8 个 bank 同时处于打开状态，row-bank-col 与 bank-row-col 两种用户访问地址组合方式和 DQS 自动校准等功能。



## 2.11 器件编号说明

